

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020050055077 A
 (43)Date of publication of application: 13.06.2005

(21)Application number: 1020030081099
 (22)Date of filing: 17.11.2003

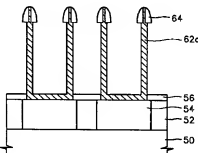
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (72)Inventor: YEO, IN JOON
 AHN, TAE HYUK
 LEE, KWANG WOOK
 JEON, JEONG SIC
 SEO, JUNG WOO

(51)Int. Cl. H01L 27/108

(54) CAPACITOR OF SEMICONDUCTOR DEVICE FOR PREVENTING SHORT CIRCUIT BETWEEN STORAGE NODE REGARDLESS OF LEANING AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A capacitor of a semiconductor device and a manufacturing method thereof are provided to prevent the short circuit between storage nodes regardless of leaning by forming an insulating spacer at sidewalls of the storage node. CONSTITUTION: A capacitor of a semiconductor device includes a plurality of cylinder type storage nodes(62a) on a semiconductor substrate(50), an insulating spacer, a dielectric film on the storage node and the insulating spacer, and a plate node electrode on the dielectric film. The insulating spacer(64) is formed with a ring type structure along outer and inner walls of the storage node.



copyright KIPO 2006

Legal Status

Date of request for an examination (20031117)
 Notification date of refusal decision (00000000)
 Final disposal of an application (registration)
 Date of final disposal of an application (20051215)
 Patent registration number (1005463950000)
 Date of registration (20060119)
 Number of opposition against the grant of a patent ()
 Date of opposition against the grant of a patent (00000000)
 Number of trial against decision to refuse ()
 Date of requesting trial against decision to refuse ()

(19)대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 27/108

(11) 공개번호 10-2005-0055077
(43) 공개일자 2005년06월13일

(21) 출원번호 10-2003-0081099
(22) 출원일자 2003년11월17일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 여인준
경기도수원시팔달구영통동주공9단지909-1904
안태혁
경기도용인시구성면보정리1161진산마을삼성5차아파트502-303
이광욱
경기도성남시분당구야탑동(장미마을)코오롱아파트132-803
전정식
경기도화성군태안읍병점리485번지한신아파트106동101호
서정우
경기도수원시팔달구영통동황골마을한국아파트213-506

(74) 대리인 이영환
이혜영

심사청구 : 있음

(54) 반도체소자의 커패시터 및 그 제조방법

요약

리닝 현상을 억제하거나 리닝 현상이 발생하더라도 리닝 현상에 의한 인접한 스토리지전극간의 쇼트를 방지할 수 있는 반도체소자의 커패시터 및 그 제조방법이 개시된다. 본 발명에 따른 반도체소자의 커패시터는, 반도체기판 상에서 서로 인접하여 형성된 복수개의 실린더형 스토리지전극, 상기 실린더형 스토리지 전극의 외측벽 및 내측벽을 따라 링 형상으로 형성된 절연 스페이서, 상기 스토리지전극 및 스페이서 상에 순차적으로 형성된 유전체층 및 상기 유전체층 상에 형성된 플레이트전극을 포함한다.

대표도

도 13

명세서

도면의 간단한 설명

도 1은 종래의 실린더형 커패시터의 스토리지전극에서 발생하는 리닝(leaning) 현상을 보여주는 개략적인 단면도이다.

도 2는 도 2의 상면을 나타낸 평면도이다.

도 3 내지 도 9는 본 발명의 하나의 실시예에 따른 실린더형 커패시터를 제조하는 과정을 나타낸 공정단면도들이다.

도 10은 본 발명의 다른 실시예에 의해 제조된 실린더형 커패시터를 나타내는 단면도이다.

도 11은 본 발명의 또다른 실시예에 의해 제조된 실린더형 커패시터를 나타내는 단면도이다.

도 12 내지 도 13은 본 발명의 또다른 실시예에 따른 실린더형 커패시터를 제조하는 과정을 나타내는 공정 단면도들이다.

도 14는 본 발명의 또다른 실시예에 의해 제조된 실린더형 커패시터를 나타내는 단면도이다.

도 15는 본 발명의 또다른 실시예에 의해 제조된 실린더형 커패시터를 나타내는 단면도이다.

도 16은 도 10의 상면을 나타낸 평면도이다.

도 17은 도 9의 상면을 나타낸 평면도이다.

도 18 및 도 19는 본 발명의 또다른 실시예에 따른 실린더형 커패시터의 제조과정을 설명하기 위한 공정단면도들이다.

※ 도면의 주요 부분에 대한 부호의 설명

10, 50; 반도체기판20, 52; 층간절연층

22, 54; 스토리지노드 콘택24, 56; 식각저지층

26, 62a; 스토리지전극64; 절연 스페이서

58; 제1 회생절연층58a; 제2 회생절연층

58b; 제3 회생절연층59; 섬

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 커패시터 및 그 제조방법에 관한 것이다. 보다 상세하게는, 반도체 메모리 소자를 구성하는 실린더형 커패시터(cylindrical-shaped capacitor) 및 그 제조방법에 관한 것이다.

마이크로프로세서가 보다 강력해짐에 따라 마이크로프로세서가 실행할 수 있는 소프트웨어 프로그램의 양도 대우하여 증가한다. 결과적으로, 높은 축적 용량(storage capacity)을 갖는 동시에 고속 동작이 가능한 메모리 소자들이 강력히 요구된다. 이러한 메모리 소자들 가운데 다이내믹 랜덤 액세스 메모리(DRAM)는 정보의 입력과 출력이 자유롭고, 고용량을 갖기 때문에 범용적으로 이용되고 있다.

DRAM의 메모리 단위는 하나의 트랜스퍼 트랜지스터와 하나의 스토리지 커패시터로 구성된다. 트랜스퍼 트랜지스터의 소스 단자는 비트 라인에 연결되며, 게이트 단자는 워드 라인에 연결되며, 드레인 단자는 스토리지 커패시터의 스토리지 전극(‘하부전극’이라고도 함)에 연결된다. 스토리지 커패시터의 플레이트전극(‘상부전극’이라고도 함)은 고정 전압 소오스에 연결되며, 박막의 유전체층이 스토리지전극과 플레이트 전극 사이에 형성된다.

DRAM에서 커패시터는 데이터 저장에 위한 중요한 구성요소이다. 만약 커패시터에 저장된 전하량이 크다면, 메모리는 소프트웨어를 유발하는 알파 입자등과 같은 외부의 잡음 신호등에 대하여 덜 취약하게 되며, 전하 충전에 위한 리프레시 주기가 상당히 낮아지게 된다. 커패시터에서 전하 축적 용량을 증가시키기 위해서는, 유전체층의 유전상수를 증가시키거나, 유전체층의 두께를 감소시키거나, 커패시터의 표면적을 증가시키는 방법등이 있다.

DRAM의 집적도를 향상시키는 동시에 커패시터의 표면적을 증가시키기 위해 스택형 또는 트랜치형 등과 같은 3차원 구조의 커패시터가 개발되었으며, 스택형 커패시터 구조도 실린더형 또는 핀(fin)형 커패시터들이 개발되었다. 미국 특허 제 6,156,608호에는 선행기술(prior art)로서 실린더형 커패시터를 제조하는 방법이 개시되어 있다.

도 1은 종래의 실린더형 커패시터를 설명하기 위한 개략적인 단면도이며, 도 2는 도 1의 상부면을 개략적으로 나타내는 평면도이다.

도 1 및 도 2를 참조하면, 실린더 단결정층으로 이루어진 반도체기판(10)상에 MOS 트랜지스터가 형성된다. MOS 트랜지스터는 반도체기판(10)상에 게이트절연층(12)을 개재하여 게이트전극(14)을 포함하며, 게이트전극(14)의 양측벽 하방으로 소오스/드레인 영역(도시안됨)을 포함한다. 게이트전극(14)상에는 절연성 물질로 된 게이트 마스크층(16)이 형성되며, 게이트전극(14)의 측벽에는 절연성 물질로 된 게이트 스페이서(18)가 형성된다.

MOS 트랜지스터가 형성된 반도체기판(10)의 전면에는 층간절연층(20)이 형성되며, 상기 층간절연층(20)내에는 MOS 트랜지스터의 소오스/드레인 영역을 노출시키는 개구부가 형성된 루 도전층, 예를 들어 폴리실리콘으로 이루어진 스토리지노드 콘택(22)이 형성된다. 상기 스토리지노드 콘택(22)이 형성된 층간절연층(20)상에는 절연물질로 이루어진 식각저지층(24)이 형성되며, 상기 스토리지노드 콘택(22) 위로는 도 2에서 보여지는 바와 같은 실린더형의 스토리지전극(26)이 높게 형성된다.

한편, 상기 스토리지전극(26)의 표면상에는 도시되지 않았지만 유전체층 및 플레이트전극이 순차적으로 형성되어 스토리지 캐패시터 구조를 완성시킨다. 또한, 설명의 편의를 위해 도시하지 않았지만, 상기 중간절연층(20) 상에는 비트 라인 방향으로 비트라인(도시안됨)이 스토리지 노드 콘택(22) 및 스토리지전극(26)과 절연되는 형태로 형성된다.

한편, 상기 실린더형 스토리지전극(26)을 형성하는 종래의 방법을 이하에서 살펴본다. 상기 식각저지층(24)상에 제1 회층층(도시안됨)을 두껍게 형성한 후, 포토리소그라피 공정에 의해 상기 스토리지 노드 콘택(22)의 상부 표면을 노출시키는 개구부를 형성한다. 이어서, 개구부의 바닥 및 측벽을 포함하여 상기 회층층상에 스토리지전극 물질층을 얇게 형성한 후, 상기 개구부를 메밀할 정도로 두껍게 제2 회층층(도시안됨)을 형성하고, 화학기체적 연마(CMP) 또는 에치백에 의해 상기 제1 및 제2 회층층과 스토리지전극 물질층의 일부를 제거하여 스토리지전극(26)들이 서로 분리되도록 노드를 분리한다. 이어서 잔류하는 제1 및 제2 회층층을 절연층으로 노드 1에서 보여지는 노드 분리된 스토리지전극(26)들이 형성된다.

그러나 상기 종래 기술에 의하면, 도 1에서 화살표로 표시된 바와 같이 스토리지전극(26)의 노드가 기울어지거나 심지어는 떨어져서 인접하는 스토리지전극(26)의 노드와 접촉하는 소위 리닝(leaning) 현상이 빈번히 발생한다. 특히, 이러한 리닝 현상은 노드 분리 공정 후에 잔류하는 제1 및 제2 회층층을 수용성계의 케미컬로 제거한 후 건조과정에서 빈번히 발생된다.

반도체 집적회로의 디자인들이 감소함에 따라 스토리지전극(26)의 높이가 증가하게 되고, 스토리지전극(26)간의 간격은 더욱 작아지게 됨에 따라 이러한 리닝 현상은 더욱 문제가 된다. 이러한 리닝 현상은 인접하는 스토리지전극 노드간에 쇼트를 유발하기 때문에 이러한 단위셀에 불량을 발생시킨다(2 bit fail).

이러한 리닝 현상은 디자인들이 감소됨에 따라 웨이퍼 전체에 걸쳐 유발 가능성이 크며, 두개의 단위셀에 연속적으로 불량을 발생시키기 때문에 불량 셀이 많아지고, 불량 셀에 대한 리페어가 매우 곤란하다. 또한 이러한 리닝 현상은 반도체 메모리 소자의 제조에서 비교적 후단 공정에서 발생하는 것이기 때문에 생산성의 감소 및 비용 증가가 더욱 커지는 요인이 된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기 종래기술의 문제점들을 해결하기 위한 것으로써, 리닝 현상을 억제할 수 있는 반도체소자의 캐패시터 및 그 제조방법을 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 설사 리닝 현상이 발생하더라도 리닝 현상에 의한 인접한 스토리지전극간의 쇼트를 방지할 수 있는 반도체소자의 캐패시터 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 본 발명의 기술적 과제를 달성하기 위한 본 발명에 따른 반도체소자의 캐패시터는, 반도체기판 상에서 서로 인접하여 형성된 복수개의 실린더형 스토리지전극; 상기 실린더형 스토리지 전극의 외측벽 및 내측벽을 따라 링형층으로 형성된 절연 스페이서; 상기 스토리지전극 및 스페이서 상에 순차적으로 형성된 유전체층; 및 상기 유전체층 상에 형성된 플레이트전극을 포함한다.

바람직하게는, 상기 실린더형 스토리지전극은 그의 상측 단부로부터 하측방향으로 소정 거리에 이르는 부분까지 부분적으로 식각된 절곡부를 포함하며, 상기 스페이서는 상기 스토리지전극의 절곡부상에 형성된다. 상기 스페이서는 상기 스토리지전극의 상측 단부로부터 외측으로 하향 증가하는 형태로 형성되거나, 상기 스토리지전극의 상측 단부로부터 소정 거리 만큼 하측에 위치한 지점으로부터 외측으로 하향 증가하는 형태로 형성될 수 있다.

한편, 상기 스페이서들은 인접하는 상기 스토리지전극상의 스페이서와 서로 분리되거나 인접하는 상기 스토리지전극상의 스페이서와 적어도 일부분이 접촉될 수도 있다.

본 발명의 상기 기술적 과제를 달성하기 위한 본 발명에 따른 반도체소자의 캐패시터 제조방법은, 반도체기판상에, 복수개의 스토리지노드 콘택들이 형성된 층간절연층을 형성하는 단계; 상기 층간절연층상에 제1 회층절연층을 형성하는 단계; 상기 제1 회층절연층을 식각하여 상기 스토리지노드 콘택들을 노출시키는 단계; 상기 개구부의 형상에 상응하는 두께로 상기 반도체기판의 전면에 스토리지전극 물질층을 증착하는 단계; 상기 스토리지전극 물질층상에 상기 개구부를 메밀하여 제2 회층절연층을 형성하는 단계; 상측으로부터 상기 제2 회층층 및 상기 스토리지전극 물질층의 일부를 식각하여 노드 분리된 실린더형의 스토리지전극을 형성하는 단계; 상기 제1 회층절연층 및 제2 회층절연층을 두껍게 형성하여 상기 스토리지전극의 상측부 일부를 노출시키는 단계; 상기 노출된 스토리지전극의 내측벽 및 외측벽을 따라 링형층상의 절연 스페이서를 형성하는 단계; 상기 잔류하는 제1 회층절연층 및 제2 회층절연층을 제거하여 상측부에 상기 절연 스페이서가 형성된 스토리지전극을 노출시키는 단계; 및 상기 스토리지전극 표면상에 유전체층 및 플레이트전극 물질층을 형성하는 단계를 포함한다.

상기 스토리지전극의 상측부 일부를 노출시키는 단계 이후에, 노출된 상기 스토리지전극의 상측부를 일부 식각하여 상기 스토리지전극의 상측 단부로부터 하측방향으로 소정 거리에 이르는 절곡부를 형성하는 단계를 더 포함할 수 있으며, 절연 스페이서의 두께와, 절연 스페이서의 절곡부의 절곡도를 조절하여 상기 스토리지전극에서 상기 절연 스페이서가 형성되는 위치 및 상기 절연 스페이서의 단부쪽 폭을 결정할 수 있다.

한편, 상기 스토리지전극의 상측부 일부를 노출시키는 단계 이후에, 상기 반도체기판의 전면에 제3 회층절연층을 증착시키는 단계; 및 상기 제3 절연층의 일부를 식각하여 상기 스토리지전극의 상측부 일부를 다시 노출시키는 단계를 더 포함할 수 있다.

본 발명에 따르면, 노드 분리된 실린더형 스토리지전극의 상측부의 외측벽 및 내측벽을 따라 링 형상의 절연 스페이서가 형성되기 때문에 링형 현상이 발생되더라도 이 절연 스페이서에 의해 인접한 스토리지전극간에 쇼트가 방지될 수 있으며, 인접하는 스토리지전극간의 절연 스페이서들이 서로 접촉되도록 형성시킬 수 있기 때문에 링형 현상의 발생을 현저히 감소시킬 수 있다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세하게 설명하기로 한다. 그러나, 이하의 실시예들은 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서, 여러 가지 다른 형태와 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예들에 한정되는 것은 아니다. 도면들에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 각 도면상에서 동일 부호는 동일한 요소를 지칭한다.

도 3 내지 도 9는 본 발명의 하나의 실시예에 따라 DRAM에서 OCS(One Cylinder Storage)형 캐패시터의 제조방법을 설명하기 위한 공정단면도들이다. 이들 도면들에서는 반도체기판(50)과 스토리지전극(62a) 사이의 다양한 구조에 대하여는 간략히 도시하였다.

도 3을 참조하여 본 실시예에 따른 반도체 캐패시터의 제조과정을 살펴보면, 먼저 실린더 단결정층으로 이루어진 반도체기판(50)상에 증착절연층(52)을 형성한 것을 보여준다. 상세하게 도시하지 않았지만, 상기 반도체기판(50)은 공지의 소자 분리층들에 의해 소자 활성영역들과 소자 분리영역들이 이미 정의되어진 상태이며, 반도체기판(50)의 각 소자 활성영역(54)상에는 DRAM의 단위셀을 구성하는 MOS 트랜지스터(도시안됨)들이 형성되어 있다. MOS 트랜지스터는 반도체기판(52)상에 게이트절연층으로 절연된 게이트전극을 포함하며, 게이트전극의 양측벽 하방으로 불순물이 주입된 소스/드레인 영역을 포함한다. 게이트전극의 측벽에는 절연성 물질로 된 게이트 스페이서가 형성된다.

MOS 트랜지스터가 형성된 반도체기판(50)의 전면에는 다층 증착절연층(도시안됨)을 두껍게 형성한 후, 통상의 포토리소그라프 공정에 의해 MOS 트랜지스터의 소스 영역 또는 드레인 영역을 노출시키는 비드라인 콘택홀을 형성한다. 이 비드라인 콘택홀을 도전물질로 매립하여 비드라인 콘택(도시안됨)을 형성한 후, 위드라인과 직교하는 방향으로 비드라인 콘택을 통과하는 비드라인(도시안됨)을 통상의 소그라프 공정에 의해 형성한 후, 비드라인이 형성된 반도체기판(50)의 전면에 상기 증착절연층(52)을 두껍게 형성한다.

이어서 사각지침 공정에 의해 상기 증착절연층(52)의 일부를 제거하여 DRAM의 스토리지 캐패시터의 스토리지전극과 전기적으로 연결되는 MOS 트랜지스터의 소스 영역 또는 드레인 영역을 노출시키는 비드라인 콘택홀을 형성한다. 상기 스토리지 노드 콘택홀을 매립하면서 상기 증착절연층(52)상으로 일정 높이로 도전물질층, 예를 들어 폴리실리콘을 증착한 후, 화학기계적 연마공정 또는 에치백 공정에 의해 상기 증착절연층(52)상의 폴리실리콘층을 제거함으로써 폴리그릴의 스토리지 노드 콘택(54)을 형성한다.

이어서 스토리지 노드 콘택(54)이 형성된 증착절연층(52)상에 예를 들어, 실리콘나이트라이드(SiN) 또는 실리콘옥사이드(SiO₂)를 코팅하고, 이를 식각마스크로 사용하여 제1 회생절연층(58)을 식각하여 하부에 식각저지층(56)을 노출시키는 SOG(Spin On Glass)과 같은 산화물층을 수백 내지 수만 Å의 두께로 형성한다.

이어서 제1 회생절연층(58)상에 포토레지스트층을 코팅한 후, 상기 스토리지 노드 콘택(54)의 상부를 정의하는 포토레지스트 패턴(60)을 형성하고, 이를 식각마스크로 하여 제1 회생절연층(58)을 식각하여 하부에 식각저지층(56)을 노출시키는 개구부를 형성함으로써 도 1에 도시된 바와 같이 스토리지전극이 형성된 위치를 확보한다.

도 4를 참조하면, 잔류하는 포토레지스트 패턴(60)을 제거한 후 또는 제거하기 전에 개구부 바닥에 노출된 식각저지층(56)을 선택적으로 제거하여 스토리지 노드 콘택(54)의 상부 표면은 노출시킨다. 이어서, 포토레지스트 패턴(60)이 제거되고 스토리지 노드 콘택(54)의 상부 표면의 일부가 노출된 상태에서 반도체기판(50)의 전면에 스토리지전극 물질층(62)으로서 예를 들어, 폴리실리콘층을 상기 개구부의 형상이 유지되도록 증착시킨다. 폴리실리콘은 증착 특성이 좋기 때문에 스토리지전극을 위한 상기 개구부를 매몰시키지 않으면서 개구부의 형상이 유지되는 형태로 개구부의 바닥 및 측벽과 제1 회생절연층(58) 상에 수백 내지 수천 Å 정도의 두께로 얇게 형성될 수 있다.

도 5를 참조하면, 상기 스토리지전극 물질층(62)에 대해 제1 회생절연층(58)을 형성한다. 상기 제2 회생절연층(58a)은 USG 또는 SOG과 같은 산화물로 형성할 수 있으며, 후속되는 식각 공정 시 상기 식각저지층(56) 또는 상기 스토리지전극 물질층(62)에 대하여 동일한 식각선택비를 가질 수 있도록 상기 제1 회생절연층(58)과 동일 물질로 형성하는 것이 바람직하다.

도 6을 참조하면, 상기 제2 회생절연층(58a) 및 스토리지전극 물질층(62)을 에치백하여 각 트랜지스터의 캐패시터별로는 노드가 분리된 실린더형의 스토리지전극(62a)들을 형성한다. 상기 에치백 공정은 화학기계적 연마 공정 또는 건식 식각 공정에 의해 수행될 수 있으며, 스토리지전극(62a)은 상기 개구부의 바닥 및 측벽에만 형성되며, 제1 회생절연층(58) 및 제2 회생절연층(58a)의 표면이 노출된다.

도 7을 참조하면, 스토리지전극(62a)들 사이에 노출된 제1 회생절연층(58) 및 제2 회생절연층(58a)의 일부를 식각하여 제거함으로써 스토리지전극(62a)의 상측부 일부가 노출되도록 한다. 식각 깊이는 수백 내지 수천 Å, 바람직하게는 약 200 내지 2000 Å 정도이다. 상기 제1 회생절연층(58) 및 제2 회생절연층(58a)을 USG 또는 SOG로 형성한 경우 이들 산화물층을 제거하기 위한 식각가스로서는 기체상인 불소화 HF와 H₂O를 이용한다.

도 8을 참조하면, 상기 실린더형 스토리지전극(62a)의 돌출된 상측부의 외측벽 및 내측벽을 따라 링 형상의 절연 스페이서(64)를 형성한다. 즉, 스토리지전극(62a)의 상측부 일부가 제1 및 제2 회생절연층(58, 58a) 상으로 돌출된 상태에서 반도체기판(50)의 전면에 상기 제1 회생절연층(58) 및 제2 회생절연층(58a)과 스토리지전극(62a)에 대하여 식각선택비를 갖는 절연물, 예를 들어 실리콘나이트라이드 또는 실리콘옥사이드를 증착한 후, 스토리지전극(62a)의 식각 패턴

면이 노출될 때까지 에치백하면, 스토리지전극(62a)의 돌출된 측벽을 따라 절연 스페이스(64)가 형성된다. 본 실시예에서는 절연 스페이스(64)가 돌출된 스토리지전극(62a)의 상측 단부로부터 시작하여 하향하면서 외측으로 증가하는 형태로 형성된다.

도 9를 참조하면, 장유하는 제1 회생절연층(58) 및 제2 회생절연층(58a)을 리프트-오프(lift-off)하여 제거한다. 제1 회생절연층(58) 및 제2 회생절연층(58a)이 산화물층인 경우 이들을 리프트-오프하기 위해서는 실리콘아세타이드트라이드 등으로 된 절연 스페이스(64) 및 폴리실리컨(62a)을 식각하지 않는 HF 등을 포함한 케미컬을 사용할 수 있다.

도 17은 도 9의 상면을 개괄적으로 나타낸 평면도이다. 도 17을 참조하면, 실린더형으로 된 각 스토리지전극(62a)의 외측벽 및 내측벽을 따라 절연 스페이스(64)가 링 형상으로 형성되어 있음을 알 수 있다.

도 9 및 도 17에서 보여지는 바와 같이, 본 발명에 따르면 절연 스페이스(64)가 스토리지전극(62a)의 상측부 측벽을 따라 링 형상으로 형성되기 있기 때문에 비록 스토리지전극(82a)이 기울어지는 링형 현상이 발생되더라도 절연성의 스페이스(64)가 인접한 스토리지전극(62a)들 사이에 존재하기 스토리지전극(62a)간의 쇼트를 방지할 수 있다.

계속하여 도 9를 참조하면, 반도체 캐패시터의 스토리지전극(62a) 및 그 상측부에 형성된 절연 스페이스(64)가 노출된 상태에서 유전체층(66) 및 플레이트전극 물결층(68)을 순차적으로 증착하여 반도체소자의 캐패시터를 완성한다.

도 10 및 도 16은 본 발명의 다른 실시예에 따른 반도체 캐패시터의 스토리지전극(62a)을 나타낸 단면도이다. 본 실시예에서는 인접한 스토리지전극(62a)의 상측 단부로부터 하측 방향으로 소정 거리 만큼 하향된 위치에 절연 스페이스(64)의 폭을 두껍게 형성하여 인접한 절연 스페이스(64)간을 접촉시키면, 처음부터 링형 현상을 방지할 수 있기 때문에 바람직하다. 이러한 구조는 도 8에서 제1 및 제2 회생절연층(58, 58a) 위로 돌출되는 스토리지전극(62a)의 돌출된 부분의 높이와 절연 스페이스(64)를 덮는 절연물결층의 두께를 적절히 선택하고, 절연 스페이스(64)를 형성하기 위한 에치백 공정의 정도를 조절함으로써 달성할 수 있다.

도 11은 본 발명의 또다른 실시예를 나타낸 단면도이다. 도 9에서와 달리 절연 스페이스(64)가 스토리지전극(62a)의 중간 부분, 즉 스토리지전극(62a)의 상측 단부보다 하측 방향으로 소정 거리 만큼 하향된 위치에 절연 스페이스(64)가 형성된다. 이러한 구조는 전술한 바와 같이, 도 8에서 제1 및 제2 회생절연층(58, 58a) 위로 돌출되는 스토리지전극(62a)의 돌출된 부분의 높이와 절연 스페이스(64)를 덮는 절연물결층의 두께를 적절히 선택하고, 절연 스페이스(64)를 형성하기 위한 에치백 공정의 정도를 조절함으로써 달성할 수 있다. 본 실시예에서도 도 10에서 나타낸 바와 같이, 인접하는 절연 스페이스(64)들이 적어도 일부분에 걸쳐 접촉되지 형성할 수 있다.

도 12 및 도 13은 본 발명의 또다른 실시예를 나타내는 단면도들이다. 이 실시예는 절연 스페이스(64)들이 스토리지전극(62a)의 미리 정해진 위치에 안정적으로 접촉되어 이들이 분리되는 것을 방지한다는 점에서 유리하다.

도 12 및 도 13을 참조하면, 도 7에서 설명한 바와 같이 제1 회생절연층(58) 및 제2 회생절연층(58a)을 일정한 길이 만큼 부분적으로 식각하여 스토리지전극(62a)의 상측부를 노출시킨다. 이어서 노출된 스토리지전극(62a)에 대하여만 선택적으로 식각하여 협폭부(62b)를 형성시킨다. 제1 및 제2 회생절연층(58, 58a)이 산화물층이며, 스토리지전극(62a)이 폴리실리컨층인 경우 예를 들어, 식각 선택비가 약 50:1 이상이 되도록 CF_4 , O_2 가스를 이용할 수 있다. 이어서 도 9에서 설명한 바와 동일한 방법에 의해 절연물결층을 전면에 형성한 후 에치백하여 스토리지전극(62a)의 협폭부(62b)상에 절연 스페이스(64)를 형성한다.

도 14 및 도 15는 본 발명의 또다른 실시예들을 나타내는 단면도들이다. 도 14를 참조하면, 도 10에서 설명한 바와 같이 인접한 스토리지전극(62a)의 절연 스페이스(64)간에 적어도 일부가 접촉되도록 절연 스페이스(64)의 폭을 두껍게 형성하여 처음부터 링형 현상을 방지하기 위한 구조이다. 도 15를 참조하면, 절연 스페이스(64)가 스토리지전극(62a)의 중간 부분, 즉 스토리지전극(62a)의 상측 단부로부터 하측 방향으로 소정 거리 만큼 하향된 위치에 형성된다.

도 18 및 도 19는 본 발명의 또다른 실시예들을 나타내는 단면도들이다.

도 18을 참조하면, 도 7에서 설명한 바와 같이 제1 회생절연층(58) 및 제2 회생절연층(58a)을 부분적으로 일정한 길이 만큼 식각하면, 제2 회생절연층(58a)이 매몰된 실린더형 스토리지전극(62a)의 내측에 보이드로부터 기인한 틈(seam)이 발생하는 경우가 있다. 이는 도 8에서 설명한 바와 같이 높은 총체비를 갖는 개구부 내에 제2 회생절연층(58a)을 매몰할 시 개구부의 중간 부분이 충분히 매몰되지 않아서 형성된 보이드 등의 결함이 상기 부분적인 식각 과정에서 노출된 것이 다.

이러한 결(59)이 발생된 상태에서 도 8에서 설명한 바와 같이 절연 스페이스(64)를 형성하기 위해 반도체기판(50)의 전면에서 스페이스가 형성될 절연물결층을 증착하는 경우, 절연물결층이 이러한 결(59) 내부에도 함께 증착된다. 절연 스페이스(64)를 형성하기 위한 에치백 공정을 수행할 때 결(59) 내부에는 절연물결층이 그대로 잔류하며, 이렇게 결(59) 내부에 잔류하는 절연물결층은 후속되는 제1 및 제2 회생절연층(58, 58a)에 대한 리프트-오프 공정이 쉽게 제거되지 않는 등 공정 불량을 유발할 수 있다.

도 19를 참조하면, 결(59)의 존재로 발생되는 상기와 같은 문제점을 극복하기 위해 결(59)이 노출된 상태에서 제1 및 제2 회생절연층(58, 58a)을 포함한 반도체기판(50)의 전면에 결(59)을 매몰하는 제3 회생절연층(58b)을 다시 형성해준다. 제3 회생절연층(58b)은 제1 및 제2 회생절연층(58, 58a)과 동일한 물질, 예를 들어 USG 또는 산화물층으로 형성하는 것이 바람직하다. 이후에 제3 회생절연층(58b)에 대하여 도 7에서 설명한 바와 같이 다시 일정한 길이 만큼 부분적으로 식각 공정을 수행한다. 따라서 결(59) 내부에는 제3 회생절연층(58b)이 매몰되기 때문에 결(59)의 존재로 인해 발생되는 전술한 문제점을 제거할 수 있다. 이후에는 도 8 이후에서 설명한 바와 동일한 공정에 의해 반도체 캐패시터를 제조하게 된다.

발명의 효과

본 발명에 의하면, 스토리지전극의 측벽을 따라 절연 스페이서가 형성되기 때문에 리닝 현상이 발생하더라도 인접한 스토리지전극간에 쇼트가 방지되어 반도체소자의 신뢰성 및 생산성이 향상된다.

또한 본 발명에 의하면, 스토리지전극의 측벽을 따라 형성되는 절연 스페이서의 크기를 확대하여 서로 접촉시켜줌으로써 처음부터 리닝 현상의 발생을 억제하여 반도체소자의 신뢰성 및 생산성이 향상된다.

이상에서 본 발명의 바람직한 실시예들에 대하여 상세히 설명하였지만, 본 발명은 이에 한정되는 것은 아니고 본 발명의 사상이 미치는 범위내에서 다양하게 변형 실시 할 수 있음은 물론이다.

(57) 청구의 범위

청구항 1.

반도체기판 상에서 서로 인접하여 형성된 복수개의 실린더형 스토리지전극;

상기 실린더형 스토리지 전극의 외측벽 및 내측벽을 따라 링 형상으로 형성된 절연 스페이서;

상기 스토리지전극 및 스페이서 상에 순차적으로 형성된 유전체층; 및

상기 유전체층 상에 형성된 플레이트전극을 포함하는 반도체소자의 커패시터.

청구항 2.

제 1 항에 있어서, 상기 실린더형 스토리지전극은 그의 상측 단부로부터 하측방향으로 소정 거리에 이르는 부분까지 부분적으로 식각된 협폭부를 포함하는 것을 특징으로 하는 반도체소자의 커패시터.

청구항 3.

제 2 항에 있어서, 상기 스페이서는 상기 스토리지전극의 협폭부상에 형성되는 것을 특징으로 하는 반도체소자의 커패시터.

청구항 4.

제 2 항에 있어서, 상기 협폭부는 상기 스토리지전극의 상측 단부로부터 200 내지 2000 Å의 거리에 이르는 부분까지 형성된 것을 특징으로 하는 반도체소자의 커패시터.

청구항 5.

제 1 항 또는 제 2 항에 있어서, 상기 스페이서는 상기 스토리지전극의 상측 단부로부터 외측으로 하향 증가하는 형태로 형성된 것을 특징으로 하는 반도체소자의 커패시터.

청구항 6.

제 1 항 또는 제 2 항에 있어서, 상기 스페이서는 상기 스토리지전극의 상측 단부로부터 소정 거리 만큼 하측에 위치한 지점으로부터 외측으로 하향 증가하는 형태로 형성된 것을 특징으로 하는 반도체소자의 커패시터.

청구항 7.

제 1 항에 있어서, 상기 스페이서는 실리콘질화물로 형성된 것을 특징으로 하는 반도체소자의 커패시터.

청구항 8.

제 1 항에 있어서, 상기 스페이서들은 인접하는 상기 스토리지전극상의 스페이서와 서로 분리된 것을 특징으로 하는 반도체소자의 캐패시터.

청구항 9.

제 1 항에 있어서, 상기 스페이서들은 인접하는 상기 스토리지전극상의 스페이서와 적어도 일부분이 접촉되는 것을 특징으로 하는 반도체소자의 캐패시터.

청구항 10.

반도체기판상에, 복수개의 스토리지노드 콘택들이 형성된 층간절연층을 형성하는 단계;

상기 층간절연층상에 제1 회생절연층을 형성하는 단계;

상기 제1 회생절연층을 식각하여 상기 스토리지노드 콘택들을 노출시키는 개구부들을 형성하는 단계;

상기 개구부의 형상이 유지될 정도의 두께로 상기 반도체기판의 전면에 스토리지전극 물질층을 증착하는 단계;

상기 스토리지전극 물질층상에 상기 개구부를 매립하는 제2 회생절연층을 형성하는 단계;

상측으로부터 상기 제2 회생층 및 상기 스토리지전극 물질층의 일부를 전면 식각하여 노드 분리된 실린더형의 스토리지전극을 형성하는 단계;

상기 제1 회생절연층 및 제2 회생절연층을 부분 식각하여 상기 스토리지전극의 상측부 일부를 노출시키는 단계;

상기 노출된 스토리지전극의 내측벽 및 외측벽을 따라 링 형상의 절연 스페이서를 형성하는 단계;

상기 간유하는 제1 회생절연층 및 제2 회생절연층을 제거하여 상측부에 상기 절연 스페이서가 형성된 스토리지전극을 노출시키는 단계; 및

상기 스토리지전극 표면상에 유전체층 및 플레이트전극 물질층을 형성하는 단계를 포함하는 반도체소자의 캐패시터 제조방법.

청구항 11.

제 10 항에 있어서, 상기 스토리지전극의 상측부 일부를 노출시키는 단계 이후에, 노출된 상기 스토리지전극의 상측부를 일부 식각하여 상기 스토리지전극의 상측 단부로부터 하측방향으로 소정 거리에 이르는 협곡부를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 12.

제 10 항 또는 제 11 항에 있어서, 상기 스페이서를 형성하는 단계는,

상기 스토리지전극의 상측부 일부를 노출시키는 단계 이후에, 상기 반도체기판의 전면에 절연물질층을 형성한 후 전면 식각을 통하여 상기 스토리지전극의 상측부의 외측벽 및 내측벽을 따라 절연 스페이서를 형성하는 것임을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 13.

제 12 항에 있어서, 상기 절연물질층의 두께와 상기 전면 식각공정의 정도를 조절하여 상기 스토리지전극에서 상기 절연 스페이서가 형성되는 위치 및 상기 절연 스페이서의 하단부 폭을 결정하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 14.

제 13 항에 있어서, 상기 절연 스페이서는 인접하는 절연 스페이서들과 서로 분리되도록 형성하는 것을 특징으로 하는 반도체소자의 커패시터 제조방법.

청구항 15.

제 13 항에 있어서, 상기 절연 스페이서는 인접하는 절연 스페이서들과 적어도 일부가 접촉하도록 형성하는 것을 특징으로 하는 반도체소자의 커패시터 제조방법.

청구항 16.

제 13 항에 있어서, 상기 절연 스페이서는 상기 스토리지전극의 상측 단부로부터 외측으로 하향 증가하는 형태로 형성하는 것을 특징으로 하는 반도체소자의 커패시터 제조방법.

청구항 17.

제 13 항에 있어서, 상기 절연 스페이서는 상기 스토리지전극의 상측 단부로부터 소정 거리만큼 하향된 지점으로부터 외측으로 하향 증가하는 형태로 형성하는 것을 특징으로 하는 반도체소자의 커패시터 제조방법.

청구항 18.

제 10 항에 있어서, 상기 제1 회생절연층 및 제2 회생절연층은 동일한 물질로 형성하는 것을 특징으로 하는 반도체소자의 커패시터 제조방법.

청구항 19.

제 18 항에 있어서, 상기 제1 및 제2 회생절연층은 산화물층이며, 상기 스페이서는 질화물층임을 특징으로 하는 반도체소자의 커패시터 제조방법.

청구항 20.

제 10 항에 있어서, 상기 제1 회생절연층을 형성하기 전에 상기 중간절연층상에 식각저지층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 커패시터 제조방법.

청구항 21.

제 10 항에 있어서, 상기 스토리지전극의 상측부 일부를 노출시키는 단계 이후에,

상기 반도체기판의 전면에 제3 회생절연층을 증착시키는 단계; 및

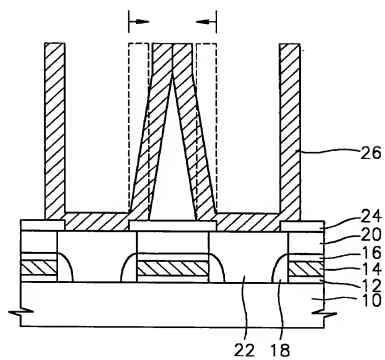
상기 제3 절연층의 일부를 식각하여 상기 스토리지전극의 상측부 일부를 다시 노출시키는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 커패시터 제조방법.

청구항 22.

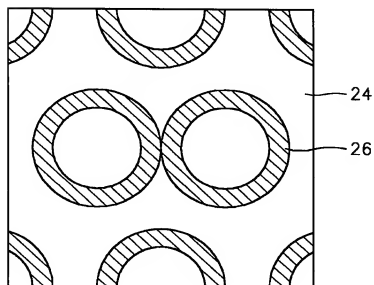
제 20 항에 있어서, 상기 제3 회생절연층은 상기 제2 회생절연층과 동일한 물질로 형성하는 것을 특징으로 하는 반도체소자의 커패시터 제조방법.

도면

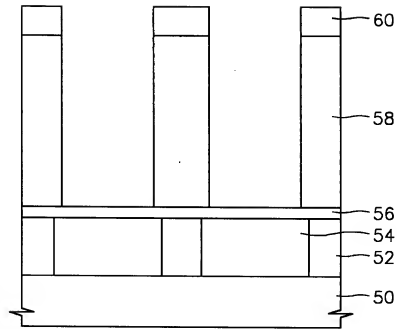
도면1



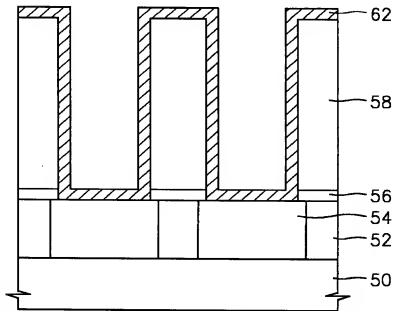
도면2



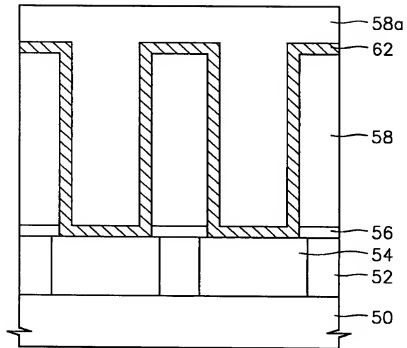
도면3



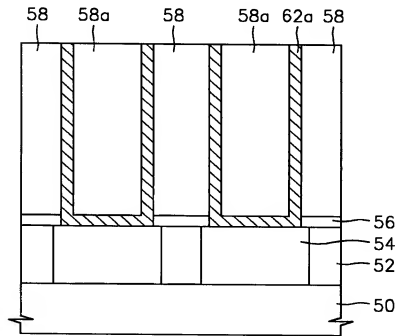
도면4



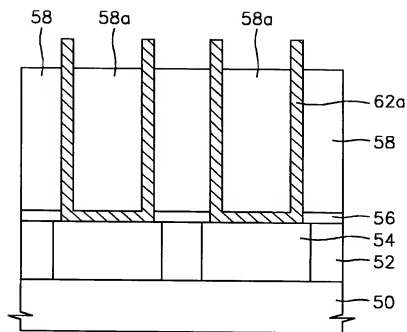
도면5



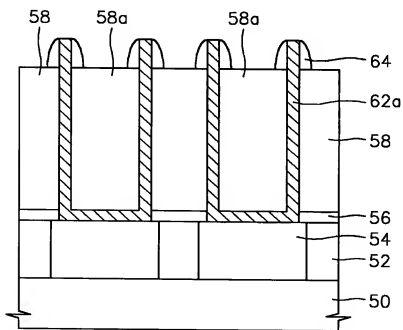
도면6



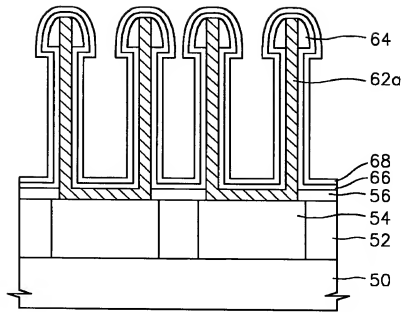
도면7



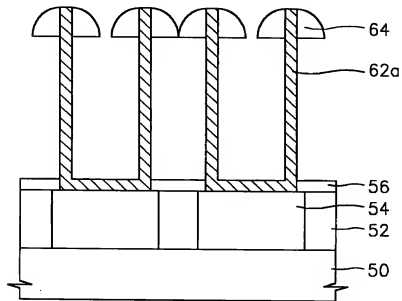
도면8



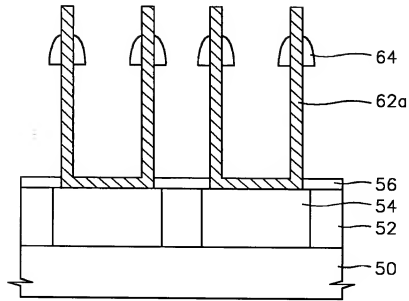
도면9



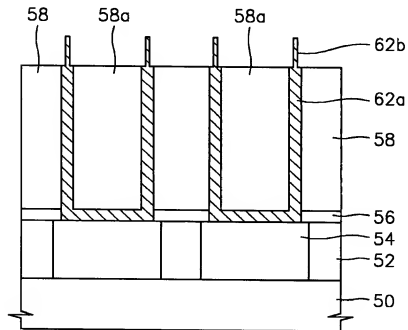
도면10



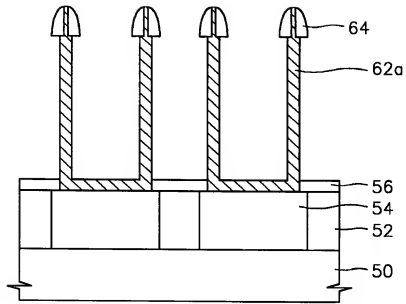
도면11



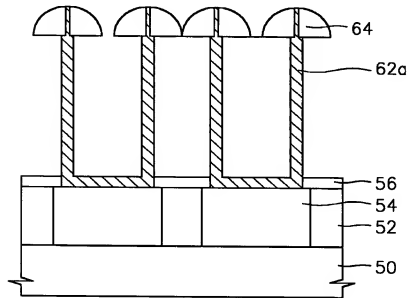
도면12



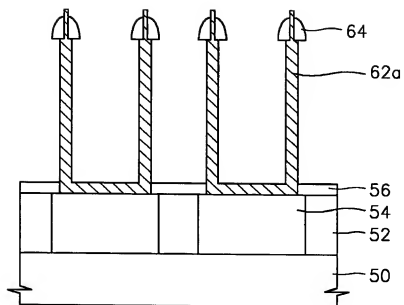
도면 13



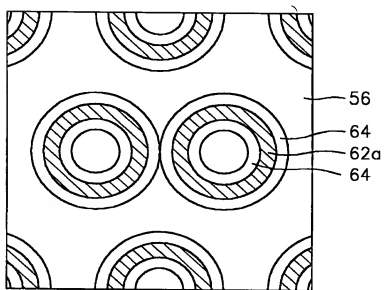
도면 14



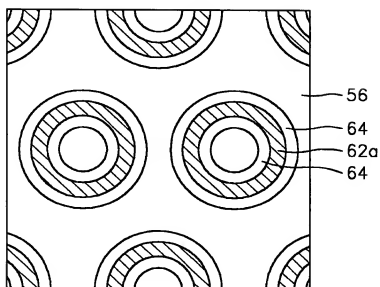
도면15



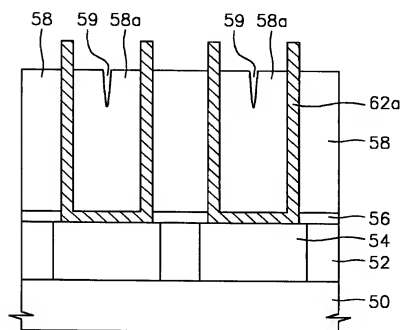
도면16



도면17



도면18



도면 19

